

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masaharu WADA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: POWER-ON DETECTOR, AND POWER-ON RESET CIRCUIT USING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

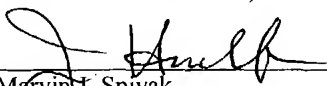
| <u>COUNTRY</u> | <u>APPLICATION NUMBER</u> | <u>MONTH/DAY/YEAR</u> |
|----------------|---------------------------|-----------------------|
| Japan | 2003-096691 | March 31, 2003 |

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913
James D. Hamilton
Registration No. 28,421



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 3月31日

出 願 番 号
Application Number:

特願2003-096691

[ST.10/C]:

[JP2003-096691]

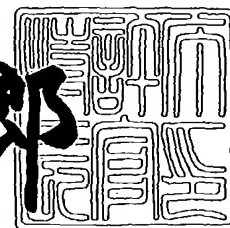
出 願 人
Applicant(s):

株式会社東芝

2003年 4月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3028162

【書類名】 特許願

【整理番号】 A000300530

【提出日】 平成15年 3月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 17/22

【発明の名称】 パワーオンディテクタ、及びこのパワーオンディテクタ
を用いたパワーオンリセット回路

【請求項の数】 21

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 和田 政春

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パワーオンディテクタ、及びこのパワーオンディテクタを用いたパワーオンリセット回路

【特許請求の範囲】

【請求項1】 基準電位を生成する基準電位発生回路と、

前記基準電位発生回路から出力される基準電位と第1の電位供給源の電位とに基づいて生成した第1の電圧と、前記第1の電位供給源の電位と異なる第2の電位供給源の電位と前記基準電位とに基づいて生成した第2の電圧とを比較する第1の比較器とを具備し、

電源投入時の前記第1の電位供給源の電位と前記第2の電位供給源の電位との電位差が、前記第1の電圧と前記第2の電圧との和よりも大きくなったときに、パワーオンを検知することを特徴とするパワーオンディテクタ。

【請求項2】 前記基準電位発生回路は、バンドギャップリファレンス回路であることを特徴とする請求項1に記載のパワーオンディテクタ。

【請求項3】 前記バンドギャップリファレンス回路は、正の温度特性を有する第1の電流を生成するように構成された第1の回路ユニットと、負の温度特性を有する第2の電流を生成するように構成された第2の回路ユニットと、前記第1の回路ユニットから出力される第1の電流と前記第2の回路ユニットから出力される第2の電流とを加算し、この加算した電流に基づいて前記基準電位を生成するように構成された第3の回路ユニットとを備えることを特徴とする請求項2に記載のパワーオンディテクタ。

【請求項4】 前記第1の回路ユニットは、第2の比較器と、電流通路の一端が前記第2の電位供給源に接続され、電流通路の他端が前記第2の比較器の非反転入力端に接続され、ゲートが前記第2の比較器の出力端に接続される第1導電型の第1MOSトランジスタと、電流通路の一端が前記第2の電位供給源に接続され、電流通路の他端が前記第2の比較器の反転入力端に接続され、ゲートが前記第2の比較器の出力端に接続される第1導電型の第2MOSトランジスタと、一端が前記第1MOSトランジスタの電流通路の他端に接続される第1抵抗と、アノードが前記第1抵抗の他端に接続され、カソードが前記第1の電位供給源

に接続される第1ダイオードと、アノードが前記第2MOSトランジスタの電流通路の他端に接続され、カソードが前記第1の電位供給源に接続される第2ダイオードとを備え、前記第2の比較器の出力端から出力信号を得ることを特徴とする請求項3に記載のパワーオンディテクタ。

【請求項5】 前記第2の回路ユニットは、第3の比較器と、電流通路の一端が前記第2の電位供給源に接続され、電流通路の他端が前記第3の比較器の反転入力端に接続され、ゲートに前記第1の回路ユニットの出力信号が供給される第1導電型の第3MOSトランジスタと、電流通路の一端が前記第2の電位供給源に接続され、電流通路の他端が前記第3の比較器の非反転入力端に接続され、ゲートが前記第3の比較器の出力端に接続される第1導電型の第4MOSトランジスタと、アノードが前記第3MOSトランジスタの電流通路の他端に接続され、カソードが前記第1の電位供給源に接続される第3ダイオードと、一端が前記第4MOSトランジスタの電流通路の他端に接続され、他端が前記第1の電位供給源に接続される第2抵抗とを備え、前記第3の比較器の出力端から出力信号を得ることを特徴とする請求項4に記載のパワーオンディテクタ。

【請求項6】 前記第3の回路ユニットは、電流通路の一端が前記第2の電位供給源に接続され、ゲートに前記第1の回路ユニットの出力信号が供給される第1導電型の第5MOSトランジスタと、電流通路の一端が前記第2の電位供給源に接続され、電流通路の他端が前記第5MOSトランジスタの電流通路の他端に接続され、ゲートに前記第2の回路ユニットの出力信号が供給される第1導電型の第6MOSトランジスタと、一端が前記第5、第6MOSトランジスタの電流通路の他端に接続され、他端が前記第1の電位供給源に接続される第3抵抗とを備え、前記第5、第6MOSトランジスタの電流通路の他端と前記第3抵抗の一端との接続ノードから前記基準電位を出力することを特徴とする請求項5に記載のパワーオンディテクタ。

【請求項7】 前記基準電位発生回路の出力端子と前記第1の電位供給源との間に接続され前記第1の電圧を生成する第1の負荷素子を更に具備することを特徴とする請求項1乃至6いずれか1つの項に記載のパワーオンディテクタ。

【請求項8】 第1の電流路が前記基準電位発生回路の出力端子に接続され

、第2の電流路が第2の負荷素子を介して前記第2の電位供給源に接続されたカレントミラー回路を更に具備し、

前記第1の比較器は、前記第1の負荷素子の両端の電圧と前記第2の負荷素子の両端の電圧とを比較することを特徴とする請求項7に記載のパワーオンディテクタ。

【請求項9】 前記カレントミラー回路は、電流通路の一端及びゲートが前記基準電位発生回路の出力端子に接続され、電流通路の他端が前記第1の電位供給源に接続される第2導電型の第7MOSトランジスタと、電流通路の一端が前記第2の負荷素子に接続され、電流通路の他端が前記第1の電位供給源に接続され、ゲートが前記第7MOSトランジスタのゲートに共通接続される第2導電型の第8MOSトランジスタとを備えることを特徴とする請求項8に記載のパワーオンディテクタ。

【請求項10】 前記第1の比較器は、ゲートが反転入力端に接続された第1導電型の第9MOSトランジスタと、電流通路の一端が前記第9MOSトランジスタの電流通路の一端に共通接続され、ゲートが非反転入力端に接続された第1導電型の第10MOSトランジスタと、電流通路の一端が前記第9、第10MOSトランジスタの電流通路の一端に接続され、電流通路の他端が前記第2の電位供給源に接続される第1導電型の第11MOSトランジスタと、電流通路の一端及びゲートが前記第9MOSトランジスタの電流通路の他端に接続され、電流通路の他端が前記第1の電位供給源に接続される第2導電型の第12MOSトランジスタと、電流通路の一端が前記第10MOSトランジスタの電流通路の他端に接続され、電流通路の他端が前記第1の電位供給源に接続され、ゲートが前記第12MOSトランジスタのゲートに共通接続される第2導電型の第13MOSトランジスタと、電流通路の一端が前記第2の電位供給源に接続され、電流通路の他端が出力端に接続され、ゲートが前記第11MOSトランジスタのゲートに共通接続される第1導電型の第14MOSトランジスタと、電流通路の一端が前記出力端に接続され、電流通路の他端が前記第1の電位供給源に接続され、ゲートが前記第10、第13MOSトランジスタの電流通路の接続ノードに接続される第2導電型の第15MOSトランジスタとを備えることを特徴とする請求項1

乃至9いずれか1つの項に記載のパワーオンディテクタ。

【請求項11】 データを保持するデータ保持回路と、
基準電位を生成する基準電位発生回路と、

前記基準電位発生回路から出力される基準電位と第1の電位供給源の電位とに基づいて生成した第1の電圧と、前記第1の電位供給源の電位と異なる第2の電位供給源の電位と前記基準電位とに基づいて生成した第2の電圧とを比較する第1の比較器と、

前記第1の比較器の出力信号に基づいて前記データ保持回路に保持されたデータをリセットするリセット回路とを具備し、

電源投入時の前記第1の電位供給源の電位と前記第2の電位供給源の電位との電位差が、前記第1の電圧と前記第2の電圧との和よりも大きくなったときに、前記リセット回路により前記データ保持回路に保持されているデータをリセットすることを特徴とするパワーオンリセット回路。

【請求項12】 前記データ保持回路は、レジスタまたはラッチ回路を含むことを特徴とする請求項11に記載のパワーオンリセット回路。

【請求項13】 前記基準電位発生回路は、バンドギャップリファレンス回路であることを特徴とする請求項11または12に記載のパワーオンリセット回路。

【請求項14】 前記バンドギャップリファレンス回路は、正の温度特性を有する第1の電流を生成するように構成された第1の回路ユニットと、負の温度特性を有する第2の電流を生成するように構成された第2の回路ユニットと、前記第1の回路ユニットから出力される第1の電流と前記第2の回路ユニットから出力される第2の電流とを加算し、この加算した電流に基づいて前記基準電位を生成するように構成された第3の回路ユニットとを備えることを特徴とする請求項13に記載のパワーオンリセット回路。

【請求項15】 前記第1の回路ユニットは、第2の比較器と、電流通路の一端が前記第2の電位供給源に接続され、電流通路の他端が前記第2の比較器の非反転入力端に接続され、ゲートが前記第2の比較器の出力端に接続される第1導電型の第1MOSトランジスタと、電流通路の一端が前記第2の電位供給源に

接続され、電流通路の他端が前記第2の比較器の反転入力端に接続され、ゲートが前記第2の比較器の出力端に接続される第1導電型の第2MOSトランジスタと、一端が前記第1MOSトランジスタの電流通路の他端に接続される第1抵抗と、アノードが前記第1抵抗の他端に接続され、カソードが前記第1の電位供給源に接続される第1ダイオードと、アノードが前記第2MOSトランジスタの電流通路の他端に接続され、カソードが前記第1の電位供給源に接続される第2ダイオードとを備え、前記第2の比較器の出力端から出力信号を得ることを特徴とする請求項14に記載のパワーオンリセット回路。

【請求項16】 前記第2の回路ユニットは、第3の比較器と、電流通路の一端が前記第2の電位供給源に接続され、電流通路の他端が前記第3の比較器の反転入力端に接続され、ゲートに前記第1の回路ユニットの出力信号が供給される第1導電型の第3MOSトランジスタと、電流通路の一端が前記第2の電位供給源に接続され、電流通路の他端が前記第3の比較器の非反転入力端に接続され、ゲートが前記第3の比較器の出力端に接続される第1導電型の第4MOSトランジスタと、アノードが前記第3MOSトランジスタの電流通路の他端に接続され、カソードが前記第1の電位供給源に接続される第3ダイオードと、一端が前記第4MOSトランジスタの電流通路の他端に接続され、他端が前記第1の電位供給源に接続される第2抵抗とを備え、前記第3の比較器の出力端から出力信号を得ることを特徴とする請求項15に記載のパワーオンリセット回路。

【請求項17】 前記第3の回路ユニットは、電流通路の一端が前記第2の電位供給源に接続され、ゲートに前記第1の回路ユニットの出力信号が供給される第1導電型の第5MOSトランジスタと、電流通路の一端が前記第2の電位供給源に接続され、電流通路の他端が前記第5MOSトランジスタの電流通路の他端に接続され、ゲートに前記第2の回路ユニットの出力信号が供給される第1導電型の第6MOSトランジスタと、一端が前記第5、第6MOSトランジスタの電流通路の他端に接続され、他端が前記第1の電位供給源に接続される第3抵抗とを備え、前記第5、第6MOSトランジスタの電流通路の他端と前記第3抵抗の一端との接続ノードから前記基準電位を出力することを特徴とする請求項16に記載のパワーオンリセット回路。

【請求項18】 前記基準電位発生回路の出力端子と前記第1の電位供給源との間に接続され前記第1の電圧を生成する第1の負荷素子を更に具備することを特徴とする請求項11乃至17いずれか1つの項に記載のパワーオンリセット回路。

【請求項19】 第1の電流路が前記基準電位発生回路の出力端子に接続され、第2の電流路が第2の負荷素子を介して前記第2の電位供給源に接続されたカレントミラー回路を更に具備し、

前記第1の比較器は、前記第1の負荷素子の両端の電圧と前記第2の負荷素子の両端の電圧とを比較することを特徴とする請求項18に記載のパワーオンリセット回路。

【請求項20】 前記カレントミラー回路は、電流通路の一端及びゲートが前記基準電位発生回路の出力端子に接続され、電流通路の他端が前記第1の電位供給源に接続される第2導電型の第7MOSトランジスタと、電流通路の一端が前記第2の負荷素子に接続され、電流通路の他端が前記第1の電位供給源に接続され、ゲートが前記第7MOSトランジスタのゲートに共通接続される第2導電型の第8MOSトランジスタとを備えることを特徴とする請求項19に記載のパワーオンリセット回路。

【請求項21】 前記第1の比較器は、ゲートが反転入力端に接続された第1導電型の第9MOSトランジスタと、電流通路の一端が前記第9MOSトランジスタの電流通路の一端に共通接続され、ゲートが非反転入力端に接続された第1導電型の第10MOSトランジスタと、電流通路の一端が前記第9、第10MOSトランジスタの電流通路の一端に接続され、電流通路の他端が前記第2の電位供給源に接続される第1導電型の第11MOSトランジスタと、電流通路の一端及びゲートが前記第9MOSトランジスタの電流通路の他端に接続され、電流通路の他端が前記第1の電位供給源に接続される第2導電型の第12MOSトランジスタと、電流通路の一端が前記第10MOSトランジスタの電流通路の他端に接続され、電流通路の他端が前記第1の電位供給源に接続され、ゲートが前記第12MOSトランジスタのゲートに共通接続される第2導電型の第13MOSトランジスタと、電流通路の一端が前記第2の電位供給源に接続され、電流通路

の他端が出力端に接続され、ゲートが前記第11MOSトランジスタのゲートに共通接続される第1導電型の第14MOSトランジスタと、電流通路の一端が前記出力端に接続され、電流通路の他端が前記第1の電位供給源に接続され、ゲートが前記第10、第13MOSトランジスタの電流通路の接続ノードに接続される第2導電型の第15MOSトランジスタとを備えることを特徴とする請求項1乃至20いずれか1つの項に記載のパワーオンリセット回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体集積回路装置等において電源の投入（パワーオン）を検知するパワーオンディテクタ、及びレジスタやラッチ回路を初期設定するためのパワーオンリセット回路に関する。

【0002】

【従来の技術】

従来、この種のパワーオンディテクタは、抵抗とダイオードまたはダイオード接続したトランジスタとを直列に接続し、その接続ノードをインバータの入力端に接続して構成している。そして、電源の投入による電源電圧の上昇に伴って、上記インバータの出力が反転することを利用して、パワーオン検知信号を生成している。

【0003】

図10は、このような従来のパワーオンディテクタの構成例を示す回路図である。Pチャネル型MOSトランジスタ11のソースは電源 V_{DD} に接続され、ドレイン及びゲートは抵抗12の一端に接続される。この抵抗12の他端は、接地点 V_{SS} に接続される。上記MOSトランジスタ11のドレインと上記抵抗12の一端との接続ノードには、Pチャネル型MOSトランジスタ13とNチャネル型MOSトランジスタ14とからなるCMOSインバータ15の入力端が接続される。そして、このCMOSインバータ15の出力端からパワーオン検知信号PDSを出力するようになっている。

【0004】

上記のような構成において、電源が投入されると電源 V_{DD} の電位が上昇して行く。電源 V_{DD} の電位が回路動作可能なレベルに達した時点では、ダイオード接続されたMOSトランジスタ11と抵抗12との接続ノードの電位が、上記CMOSインバータ15の回路閾値電圧よりも高くなる。よって、このCMOSインバータ15の出力電圧（パワーオン検知信号PDS）はロウレベル（“L”レベル）となる。電源 V_{DD} の電位が更に上昇し、MOSトランジスタ11と抵抗12との接続ノードの電位が、上記CMOSインバータ15の回路閾値電圧よりも低くなると、CMOSインバータ15の出力電圧は、ハイレベル（“H”レベル）に反転し、パワーオンが検知される。

【0005】

上記パワーオンの検知レベルは、上記抵抗12の抵抗値や各MOSトランジスタ11, 13, 14のチャネル長／チャネル幅比（ L/W ）を調整することにより制御できる。

【0006】

なお、上記CMOSインバータ15の出力信号PDSを、ノイズカット用のローパスフィルタ（LPF）を介してパワーオンの検知を行う技術も周知である。ローパスフィルタを設けることにより、ノイズに対する耐性を高めることができる。

【0007】

しかしながら、上記のような構成では、温度条件の違いや製造プロセスのばらつきにより、パワーオンの検知レベルが変動し、これが原因でチップが不良品になる恐れがある。例えば、車載用の半導体集積回路装置では、 -40°C から $+125^{\circ}\text{C}$ もの広い温度範囲で正常動作することが要求されており、このように温度条件が大きく異なると、各MOSトランジスタ11, 13, 14の閾値電圧が変化してしまい、パワーオン検知信号PDSが反転するレベルが大きく変動してしまう。また、上記抵抗12には、通常、拡散抵抗を用いるが、拡散抵抗は製造プロセスのばらつきにより抵抗値が変動しやすい。このため、上述したような抵抗12の抵抗値や各MOSトランジスタ11, 13, 14のチャネル長／チャネル幅比の調整では十分に対応できない。

【0008】

更に、半導体集積回路装置中に1V近辺で動作する低電圧回路が内蔵されている場合には、温度条件の相違や製造ばらつきの影響がより顕著になり、パワーオンを認識するのが難しい、という問題がある。

【0009】

このような問題を解決するために、バンドギャップリファレンス回路等の温度依存性が小さい回路を用いてパワーオンを検知する技術が提案されている（例えば特許文献1及び2参照）。しかしながら、いずれの先行技術もバンドギャップリファレンス回路の出力電圧と、電源電圧を抵抗分割した電圧とを比較、換言すれば温度依存性のない電圧と温度依存性のある電圧（温度依存性は比較的小さい）とを比較するため、温度依存性を十分に低減することはできず、車載用等の厳しい条件で用いる半導体集積回路装置に適用する際には十分とはいえない。

【0010】

また、上述したようなパワーオンディテクタを用いて、半導体集積回路装置中のレジスタやラッチ回路を初期設定するためのパワーオンリセット回路を構成する場合も同様な問題が発生し、その対策が望まれている。

【0011】

【特許文献1】

特開2002-43917

【0012】

【特許文献2】

特開平10-207580号公報

【0013】

【発明が解決しようとする課題】

上記のように、従来のパワーオンディテクタ、及びこのパワーオンディテクタを用いたパワーオンリセット回路は、温度変化や製造ばらつきにより、パワーオンを検知するレベルが変動する、という問題があった。

【0014】

また、1V近辺で動作する低電圧回路を備える半導体集積回路装置の場合、上

記検知レベルの変動の影響が大きくなり、パワーオンを検知するのが難しい、という問題があった。

【0015】

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、温度変化や製造ばらつきによるパワーオンの検知レベルの変動を抑制でき、且つ低電圧であっても確実な検知動作を行うことができるパワーオンディテクタ、及びこのパワーオンディテクタを用いたパワーオンリセット回路を提供することにある。

【0016】

【課題を解決するための手段】

この発明の一態様によると、基準電位を生成する基準電位発生回路と、前記基準電位発生回路から出力される基準電位と第1の電位供給源の電位とに基づいて生成した第1の電圧と、前記第1の電位供給源の電位と異なる第2の電位供給源の電位と前記基準電位とに基づいて生成した第2の電圧とを比較する第1の比較器とを具備し、電源投入時の前記第1の電位供給源の電位と前記第2の電位供給源の電位との電位差が、前記第1の電圧と前記第2の電圧との和よりも大きくなったときに、パワーオンを検知するパワーオンディテクタが提供される。

【0017】

また、この発明の一態様によると、データを保持するデータ保持回路と、基準電位を生成する基準電位発生回路と、前記基準電位発生回路から出力される基準電位と第1の電位供給源の電位とに基づいて生成した第1の電圧と、前記第1の電位供給源の電位と異なる第2の電位供給源の電位と前記基準電位とに基づいて生成した第2の電圧とを比較する第1の比較器と、前記第1の比較器の出力信号に基づいて前記データ保持回路に保持されたデータをリセットするリセット回路とを具備し、電源投入時の前記第1の電位供給源の電位と前記第2の電位供給源の電位との電位差が、前記第1の電圧と前記第2の電圧との和よりも大きくなったときに、前記リセット回路により前記データ保持回路に保持されているデータをリセットするパワーオンリセット回路が提供される。

【0018】

上記のように、この発明の一態様に係るパワーオンディテクタでは、バンドギャップリファレンス回路のような温度依存性の低い基準電位を生成する基準電位発生回路を用いて、第1の電位供給源の電位 (V_{SS} レベル) と第2の電位供給源の電位 (V_{DD} レベル) から第1, 第2の電圧を生成し、これらの電圧を第1の比較器 (コンパレータ) で比較し、電源電位が上記2つの電位の和より大きくなるところを検知してパワーオンを検知する。よって、温度依存性のない電圧のみを用いてパワーオンを検知するので、温度変化によるパワーオンの検知レベルの変動を抑制できる。また、各回路をペアのトランジスタを使って構成することにより、製造ばらつきによる特性変動を互いに相殺できる。更に、1V付近で動作するバンドギャップリファレンス回路を用いることにより、1V近辺の低電圧であっても確実な検知動作、あるいはリセット動作を行うことができる。

【0019】

この発明の一態様に係るパワーオンリセット回路では、上記第1の比較器から出力されるパワーオン検知信号を用いて、電源の投入時にレジスタやラッチ回路等のデータ保持回路のリセットを行うことで、温度変化や製造ばらつきによるパワーオンの検知レベルの変動を抑制でき、且つ低電圧であっても確実な検知動作を行うことができる。

【0020】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

図1は、この発明の第1の実施の形態に係るパワーオンディテクタ、及びパワーオンリセット回路について説明するための概念図である。バンドギャップリファレンス回路 (BGR: Band Gap Reference) 20は、温度依存性の低い基準電位を生成する基準電位発生回路である。このBGR回路20は、第1乃至第3の回路ユニット21, 22, 23で構成されている。上記回路ユニット21は正の温度特性を有する電流 ($dI/dT > 0$) を生成する回路、上記回路ユニット22は負の温度特性を有する電流 ($dI/dT < 0$) を生成する回路である。これら回路ユニット21, 22の出力電流を回路ユニット23で加算することにより、回路ユニット21, 22の温度特性を相殺して、実質的に温度依存性のない電流 (

$dI/dT + dI/dT = 0$ 。) を生成する。

【0021】

上記回路ユニット23の出力電流を抵抗24に流して電圧（第1の電圧） V_1 を生成するとともに、この出力電流をカレントミラー回路25に流す。このカレントミラー回路25により、上記出力電流と同じ電流を抵抗26に流して電圧（第2の電圧） V_2 を生成する。これによって、上記電圧 V_1 は接地点 V_{SS} の電位（第1の電位供給源の電位）に対して実質的に温度特性のない電圧となり、電圧 V_2 は電源 V_{DD} の電位（第2の電位供給源の電位）に対して実質的に温度特性のない電圧になる。

【0022】

そして、これらの電圧 V_1 と V_2 をコンパレータ（第1の比較器）27で比較し、パワーオン検知信号PDSを出力する。このコンパレータ27は、抵抗26の両端に印加された電圧と、抵抗24の両端に印加された電圧の和が、回路ユニット23の電源 V_{DD} 、 V_{SS} の電圧を超えたときに、パワーオン検知信号PDSのレベルが接地点 V_{SS} の電位から電源 V_{DD} の電位に変化する。上記抵抗24と抵抗26の両端の電圧はそれぞれ、前述したように実質的に温度依存性がないので、コンパレータ27の出力（パワーオン検知信号PDS）が遷移する電位も温度変化の影響を受けない。

【0023】

また、上記コンパレータ27から出力されるパワーオン検知信号PDSを用いて、レジスタやラッチ回路等のデータ保持回路のリセット信号を生成すれば、温度変化の影響を受けないパワーオンリセット回路が構成できる。

【0024】

図2は、上記図1に示した回路における回路ユニット21の構成例を示している。この回路は、正の温度特性を生成するための差動アンプ（コンパレータ）31、Pチャネル型MOSトランジスタ32、33、抵抗34及びダイオード35、36を含んで構成されている。上記MOSトランジスタ32のソースは電源 V_{DD} に接続され、ドレインは上記コンパレータ31の非反転入力端（+）に接続され、ゲートはコンパレータ31の出力端に接続される。また、上記MOSトラ

ンジスタ33のソースは電源 V_{DD} に接続され、ドレインは上記コンパレータ31の反転入力端(−)に接続され、ゲートはコンパレータ31の出力端に接続される。上記MOSトランジスタ32のドレインには、抵抗34の一端が接続される。この抵抗34の他端と接地点 V_{SS} 間には、ダイオード35のアノード、カソード間が接続される。上記MOSトランジスタ33のドレインには、ダイオード36のアノードが接続され、このダイオード36のカソードは接地点 V_{SS} に接続される。上記ダイオード35は、ダイオード36よりも大きいサイズになっている。そして、上記コンパレータ31の出力端に接続された出力端子37から正の温度特性を有する電圧 V_{OUTA} を出力する。

【0025】

図3は、上記図1に示した回路における回路ユニット22の構成例を示している。この回路は、負の温度特性を生成するための差動アンプ(コンパレータ)41、Pチャネル型MOSトランジスタ42、43、ダイオード44及び抵抗45を含んで構成されている。上記MOSトランジスタ42のソースは電源 V_{DD} に接続され、ドレインはコンパレータ41の反転入力端(−)に接続され、ゲートに上記回路ユニット21の出力電圧 V_{OUTA} が供給される。ダイオード44のアノードは、上記MOSトランジスタ42のドレインに接続され、カソードは接地点 V_{SS} に接続される。このダイオード44は、上記ダイオード36と同じサイズになっている。上記MOSトランジスタ43のソースは電源 V_{DD} に接続され、ドレインはコンパレータ41の非反転入力端(+)に接続され、ゲートは上記コンパレータ41の出力端に接続される。抵抗45の一端は、上記MOSトランジスタ43のドレインに接続され、他端は接地点 V_{SS} に接続される。そして、上記コンパレータ41の出力端に接続された出力端子46から負の温度特性を有する電圧 V_{OUTB} を出力する。

【0026】

図4は、上記図1に示した回路における回路ユニット23の構成例を示している。この回路は、Pチャネル型MOSトランジスタ51、52及び抵抗53を含んで構成されている。上記MOSトランジスタ51のソースは電源 V_{DD} に接続され、ゲートに上記回路ユニット21の出力電圧 V_{OUTA} が印加される。また

、上記MOSトランジスタ52のソースは電源 V_{DD} に接続され、ドレインはMOSトランジスタ51のドレインに共通接続され、ゲートに上記回路ユニット22の出力電圧 V_{OUTB} が供給される。これらのMOSトランジスタ51, 52は、差動アンプ31の出力と差動アンプ41の出力から温度特性のない電流を取り出す電流源回路として働く。上記抵抗53の一端は、上記MOSトランジスタ51, 52のドレイン共通接続ノードに接続され、他端は接地点 V_{SS} に接続される。そして、上記MOSトランジスタ51, 52のドレイン共通接続ノードに接続された出力端子54から、上記回路ユニット21, 22の出力電流を加算して生成した温度依存性のない電位 V_{REFDC} （基準電位）を出力するようになっている。

【0027】

温度依存性は、抵抗34と抵抗45の抵抗値の調整で変えることができる。本回路の場合は、電位 V_{REFDC} （基準電位）の温度特性が小さくなるように抵抗値を合わせ込む。

【0028】

この基準電位 V_{REFDC} は、抵抗53の抵抗値により設定することができる。抵抗53の抵抗値を高くすると基準電位 V_{REFDC} を高くでき、低くすると低くできる。よって、抵抗53を可変抵抗にすれば、基準電位 V_{REFDC} を自由に設定できる。

【0029】

図5は、図1に示した回路の一部を抽出して示しており、電流源とカレントミラー回路とを用いた電位比較回路になっている。図5において、図1と同一構成部には同じ符号を付してその詳細な説明は省略する。

【0030】

カレントミラー回路25は、Nチャネル型MOSトランジスタ28, 29で構成されている。MOSトランジスタ28のドレイン及びゲートは、回路ユニット23の出力端子（図5では電流源23A, 23Bで等価的に表す）に接続され、ソースは接地点 V_{SS} に接続される。また、MOSトランジスタ29のドレインは上記抵抗26の他端に接続され、ソースは接地点 V_{SS} に接続され、ゲートは

MOSトランジスタ28のゲートに共通接続される。

【0031】

図6は、上記図1、図2、図3及び図5に示した回路におけるコンパレータ（差動アンプ）27、31、41の構成例を示している。このコンパレータは、Pチャネル型MOSトランジスタ61～64とNチャネル型MOSトランジスタ65～67を含んで構成されている。差動入力ペアとして働くMOSトランジスタ61、62のソースは共通接続され、ゲートは反転入力端（－）及び非反転入力端（＋）として働く差動入力端子68、69にそれぞれ接続される。上記MOSトランジスタ61、62のソース共通接続ノードと電源 V_{DD} 間には、MOSトランジスタ63のドレイン、ソース間が接続される。また、上記MOSトランジスタ61、62のドレインには、MOSトランジスタ65、66のドレインがそれぞれ共通接続される。これらMOSトランジスタ65、66のゲートは共通接続されてMOSトランジスタ65のドレインに接続され、ソースは接地点 V_{SS} に共通接続される。

【0032】

上記MOSトランジスタ64のソースは電源 V_{DD} に接続され、ドレインは出力端子70に接続され、ゲートはそのドレイン及びMOSトランジスタ63のゲートに共通接続される。また、上記MOSトランジスタ67のドレインは出力端子70に接続され、ソースは接地点 V_{SS} に接続され、ゲートはMOSトランジスタ62と66のドレイン共通接続ノードに接続される。

【0033】

このような構成のコンパレータは、差動入力端子68、69に入力された信号をMOSトランジスタ61、62、65、66で増幅した後、MOSトランジスタ63、64、67で更に増幅するので、低電位の入力信号でも動作可能である。

【0034】

図7は、上記図1乃至図6に示したパワーオンリセット回路でリセットされる回路の例を示しており、ラッチ回路である。このラッチ回路は、2入力ナンドゲート71と3入力ナンドゲート72で構成されたフリップフロップである。この

フリップフロップは、セット端子Sとリセット端子Rに入力された信号に基づいてデータをラッチし、出力信号Qを得る。そして、電源の投入時には、パワーオン検知信号PDSが供給されて初期状態が設定される。

【0035】

図8は、電源の投入後の電源 V_{DD} の電位、パワーオン検知信号PDSのレベル、電圧 V_1 、 V_2 の変化を時間軸に沿って示している。電源が投入されると、電源 V_{DD} の電位が上昇して行く。ここで、電源投入の初期には電圧 V_2 が V_1 よりも高く、電源 V_{DD} の電位が回路動作可能なレベルに達した時点で、電圧 V_1 が V_2 よりも高くなる。これによって、電源 V_{DD} の電位と同様に上昇していたパワーオン検知信号PDSのレベルが“H”レベルから“L”レベルに反転する。電源 V_{DD} の電位が更に上昇して行くと電圧 V_2 が V_1 よりも高くなり、コンパレータ27から出力されるパワーオン検知信号PDSは“H”レベルに反転し、この時点でパワーオンが検知される。

【0036】

上記のような構成によれば、BGR回路20を用いて、温度依存性のない電圧 V_1 、 V_2 を生成し、これらの電圧 V_1 、 V_2 を比較してパワーオン検知信号PDSを生成するので、実質的に温度依存性をなくすることができる。また、ペアのMOSトランジスタを使って回路を構成しているので、プロセスのばらつきの影響をなくすることができる。更に、抵抗53の抵抗値を制御することによりパワーオンの検知レベルを自由に調整できる。

【0037】

図9は、この発明の第2の実施の形態に係るパワーオンディテクタ、及びパワーオンリセット回路について説明するための回路図である。この回路は、コンパレータ81～83、Pチャネル型MOSトランジスタ84～90、Nチャネル型MOSトランジスタ91、92、抵抗93～96及びダイオード97、98等を含んで構成されている。

【0038】

MOSトランジスタ84のソースは電源 V_{DD} に接続され、ドレインはコンパレータ81の非反転入力端(+)に接続され、ゲートはコンパレータ81の出力

端に接続される。抵抗93の一端は上記MOSトランジスタ84のドレインに接続され、他端はダイオード97のアノードに接続されている。このダイオード97のカソードは、接地点 V_{SS} に接続される。また、MOSトランジスタ85のソースは電源 V_{DD} に接続され、ドレインはコンパレータ81、82の反転入力端（-）に接続され、ゲートはコンパレータ81の出力端に接続される。ダイオード98のアノードは上記MOSトランジスタ85のドレインに接続され、カソードは接地点 V_{SS} に接続されている。

【0039】

MOSトランジスタ86のソースは電源 V_{DD} に接続され、ドレインはコンパレータ82の非反転入力端（+）に接続され、ゲートはコンパレータ82の出力端に接続される。抵抗94の一端は上記MOSトランジスタ86のドレインに接続され、他端は接地点 V_{SS} に接続される。

【0040】

MOSトランジスタ87のソースは電源 V_{DD} に接続され、ゲートはコンパレータ81の出力端に接続される。また、MOSトランジスタ88のソースは電源 V_{DD} に接続され、ドレインは上記MOSトランジスタ87のドレインに共通接続され、ゲートはコンパレータ82の出力端に接続される。これらMOSトランジスタ87、88のドレイン共通接続ノードと接地点 V_{SS} 間には、抵抗95が接続される。また、このドレイン共通接続ノードは、コンパレータ83の反転入力端（-）に接続される。

【0041】

更に、MOSトランジスタ89のソースは電源 V_{DD} に接続され、ゲートはコンパレータ81の出力端に接続される。また、MOSトランジスタ90のソースは電源 V_{DD} に接続され、ドレインは上記MOSトランジスタ89のドレインに共通接続され、ゲートはコンパレータ82の出力端に接続される。これらMOSトランジスタ87、88のドレイン共通接続ノードには、MOSトランジスタ91のドレイン及びゲートが接続される。このMOSトランジスタ91のソースは、接地点 V_{SS} に接続される。

【0042】

抵抗96の一端は電源 V_{DD} に接続され、他端はMOSトランジスタ92のドレイン及びコンパレータ83の非反転入力端(+)に接続される。このMOSトランジスタ92のソースは接地点 V_{SS} に接続され、ゲートは上記MOSトランジスタ91のゲートに接続される。そして、上記コンパレータ83の出力端からパワーオン検知信号PDSを出力するようになっている。

【0043】

なお、上記コンパレータ81～83は、上記図6に示した回路と同様に構成することにより1V付近の低電圧でも確実な動作が得られる。

【0044】

上記のような構成において、基本的な構成並びに動作は前述した第1の実施の形態と同様である。すなわち、BGR回路を用いて、共に温度依存性のない電圧 V_1 、 V_2 を生成し、これらの電圧 V_1 、 V_2 を比較してパワーオン検知信号PDSを生成するので、実質的に温度依存性をなくすることができる。また、抵抗95の抵抗値を制御することによりパワーオンの検知レベルを自由に調整できる。

【0045】

しかも、本第2の実施の形態では、MOSトランジスタ85とダイオード98をコンパレータ81、82で共用するとともに、これらコンパレータ81、82の出力電圧 V_{OUTA} 、 V_{OUTB} をペアのMOSトランジスタ87、88及び89、90で受けるようにしている。これによって、製造プロセスのばらつきをより低減できる。

【0046】

従って、上記のような構成のパワーオンディテクタ、及びこのパワーオンディテクタを用いたパワーオンリセット回路によれば、温度変化や製造ばらつきによるパワーオンの検知レベルの変動を抑制でき、且つ低電圧であっても確実な検知動作あるいはリセット動作を行うことができる。

【0047】

なお、上述した第1、第2の実施の形態に係るパワーオンディテクタ及びパワーオンリセット回路において、各Pチャネル型MOSトランジスタと各Nチャネル型MOSトランジスタの導電型を入れ替え、電源 V_{DD} 、 V_{SS} の極性を替え

ても良いのは勿論である。

【0048】

以上第1、第2の実施の形態を用いてこの発明の説明を行ったが、この発明は上記各実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば実施の形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0049】

【発明の効果】

以上説明したように、この発明によれば、温度変化や製造ばらつきによるパワーオンの検知レベルの変動を抑制でき、且つ低電圧であっても確実な検知動作を行うことができるパワーオンディテクタ、及びこのパワーオンディテクタを用いたパワーオンリセット回路が得られる。

【図面の簡単な説明】

【図1】 この発明の第1の実施の形態に係るパワーオンディテクタ及びパワーオンリセット回路について説明するための概念図。

【図2】 図1に示した回路における第1の回路ユニットの構成例を示す回路図。

【図3】 図1に示した回路における第2の回路ユニットの構成例を示す回路図。

【図4】 図1に示した回路における第3の回路ユニットの構成例を示す回路図。

【図5】 図1に示した回路の一部を抽出して示しており、電流源とカレントミラー回路とを用いた電位比較回路を示す回路図。

【図6】 図1、図2、図3及び図5に示した回路におけるコンパレータの

構成例を示す回路図。

【図 7】 図 1 乃至図 6 に示したパワーオンディテクタの検知信号でリセットされる回路の例を示すもので、ラッチ回路の回路図。

【図 8】 電源の投入後の電源の電位、パワーオン検知信号のレベル、コンパレータに入力される電圧の変化を時間軸に沿って示す波形図。

【図 9】 この発明の第 2 の実施の形態に係るパワーオンディテクタ及びパワーオンリセット回路について説明するための回路図。

【図 10】 従来のパワーオンディテクタを示す回路図。

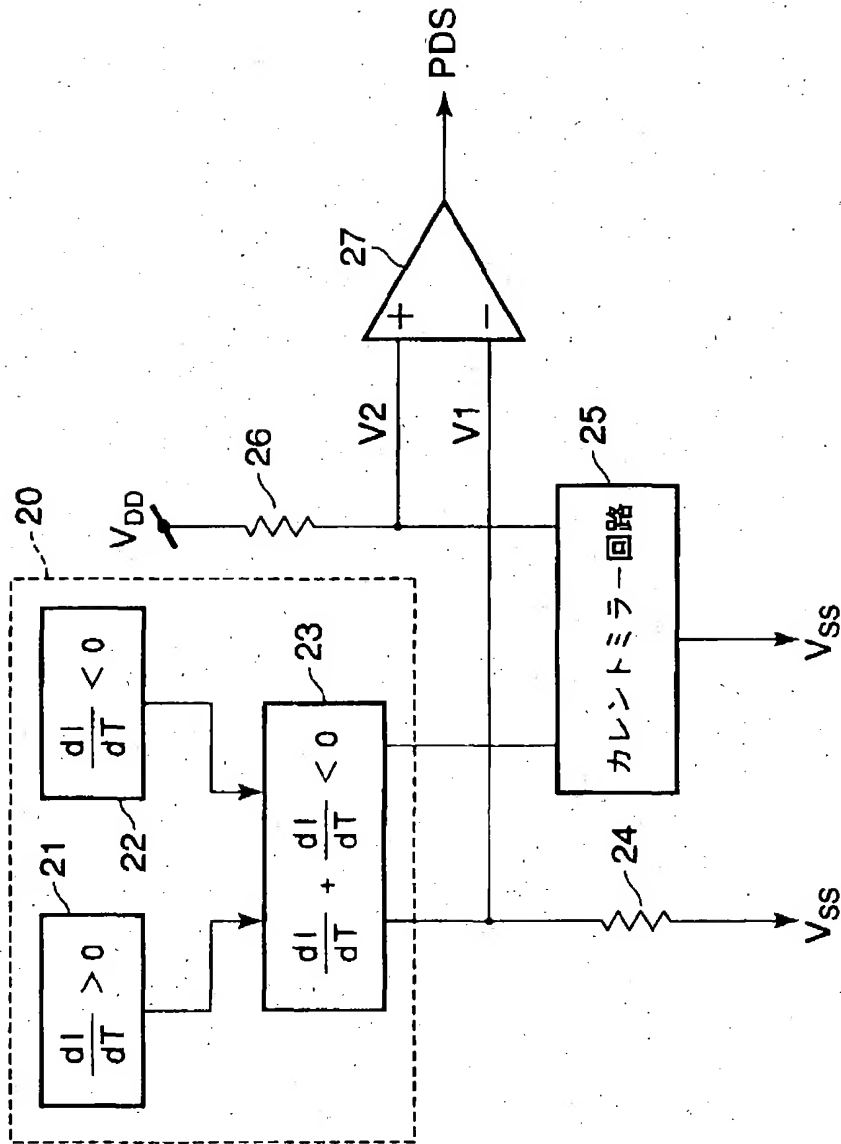
【符号の説明】

20…バンドギャップリファレンス回路（基準電位発生回路）、21, 22, 23…第 1 乃至第 3 の回路ユニット、24, 26, 34, 45, 53, 93～96…抵抗、25…カレントミラー回路、26, 83…コンパレータ（第 1 の比較器）、28, 29, 32, 33, 42, 43, 51, 52, 61～67, 84～92…MOS トランジスタ、31, 41, 81, 82…差動アンプ（第 2, 第 3 の比較器）、35, 36, 44, 97, 98…ダイオード、 V_{SS} …接地点（第 1 の電位供給源）、 V_{DD} …電源（第 2 の電位供給源）、PDS…パワーオン検知信号、 V_1 …第 1 の電圧、 V_2 …第 2 の電圧、 V_{OUTA} …第 1 の回路ユニットの出力電圧、 V_{OUTB} …第 2 の回路ユニットの出力電圧、 V_{REFDC} …温度依存性のない電位（基準電位）。

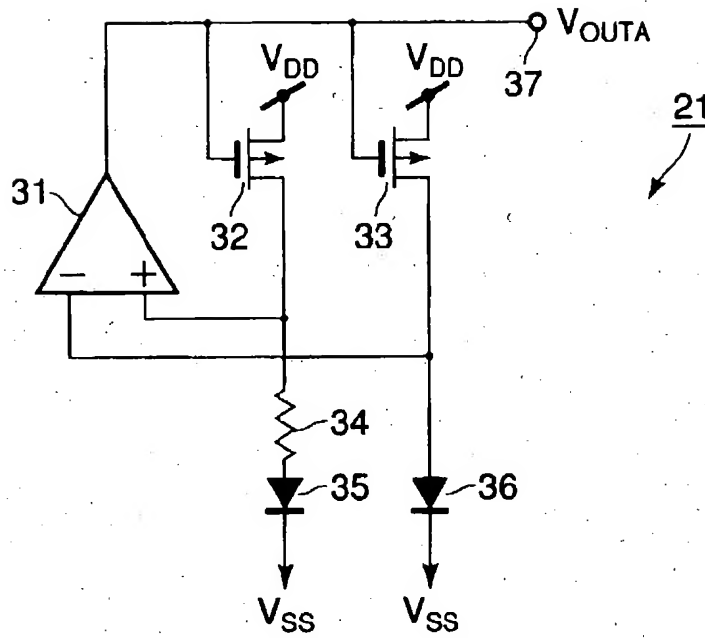
【書類名】

図面

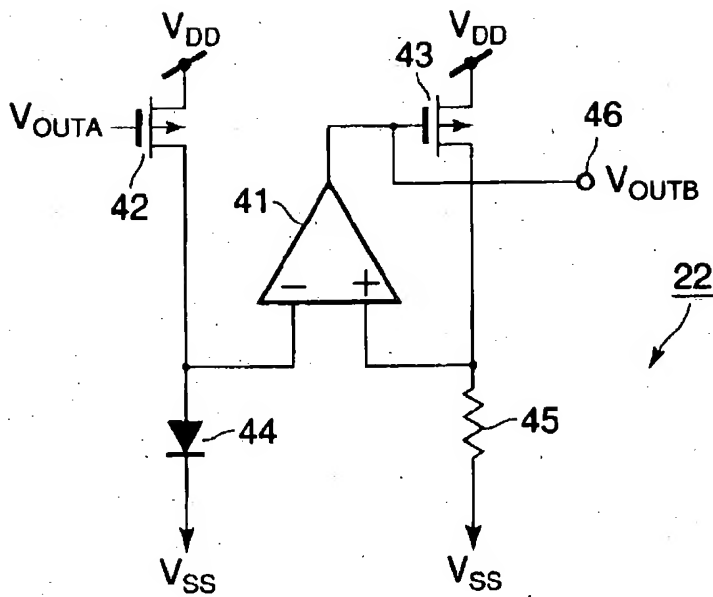
【図1】



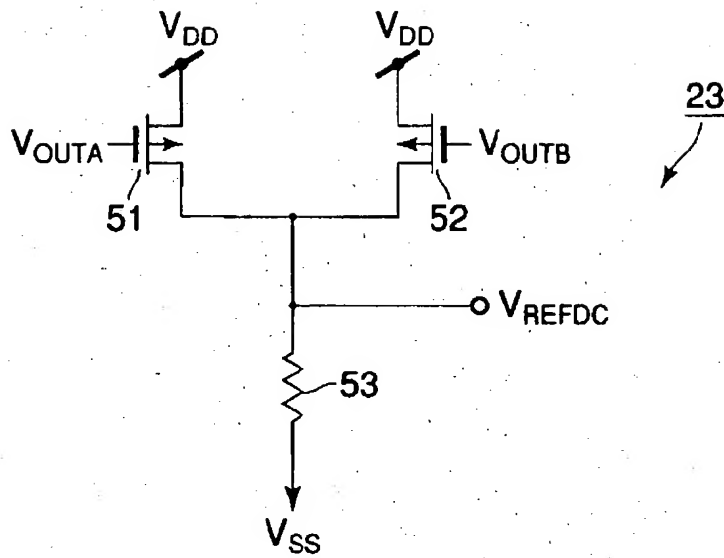
【図 2】



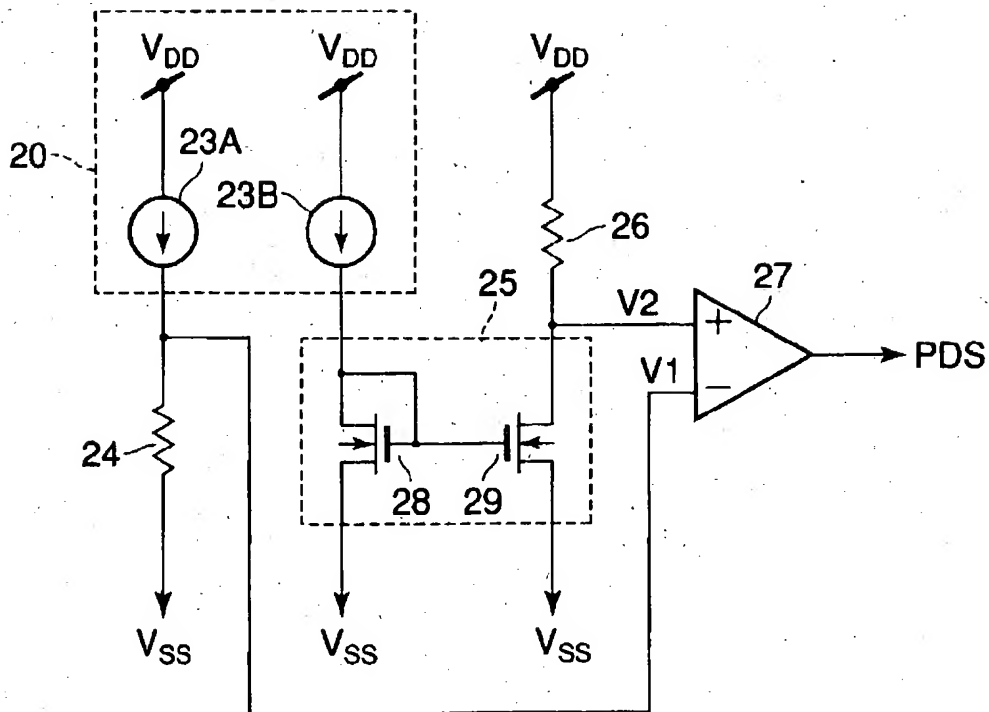
【図 3】



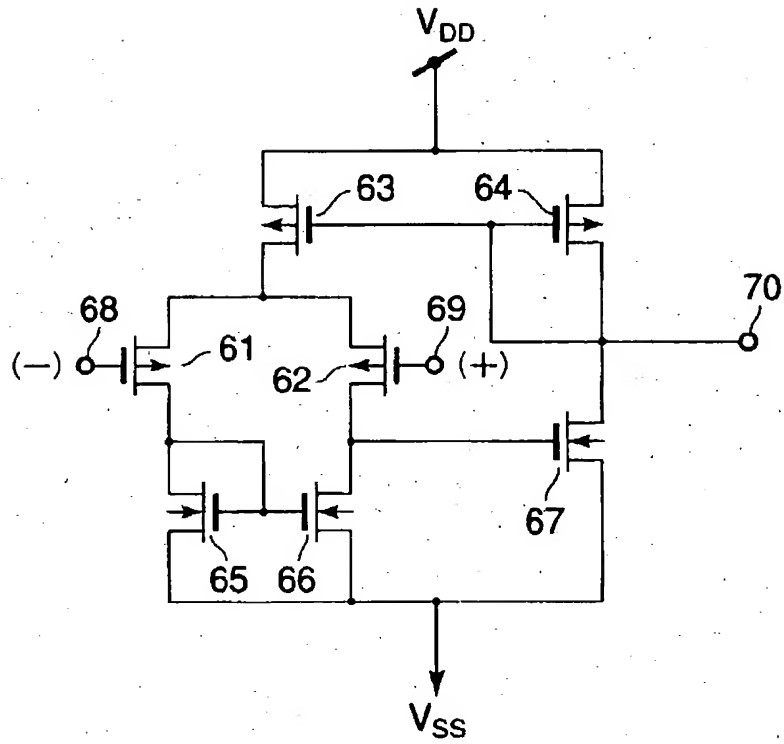
【図 4】



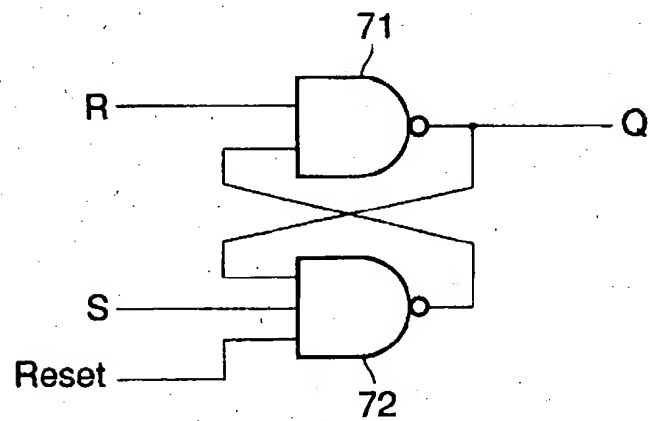
【図 5】



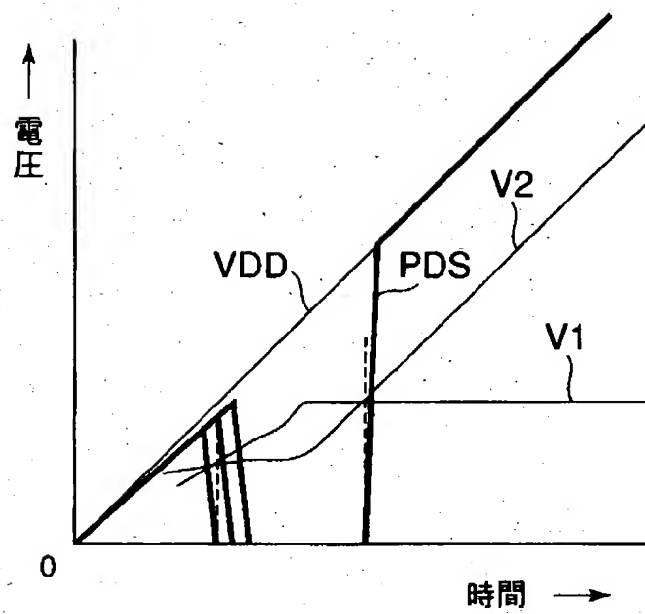
【図 6】



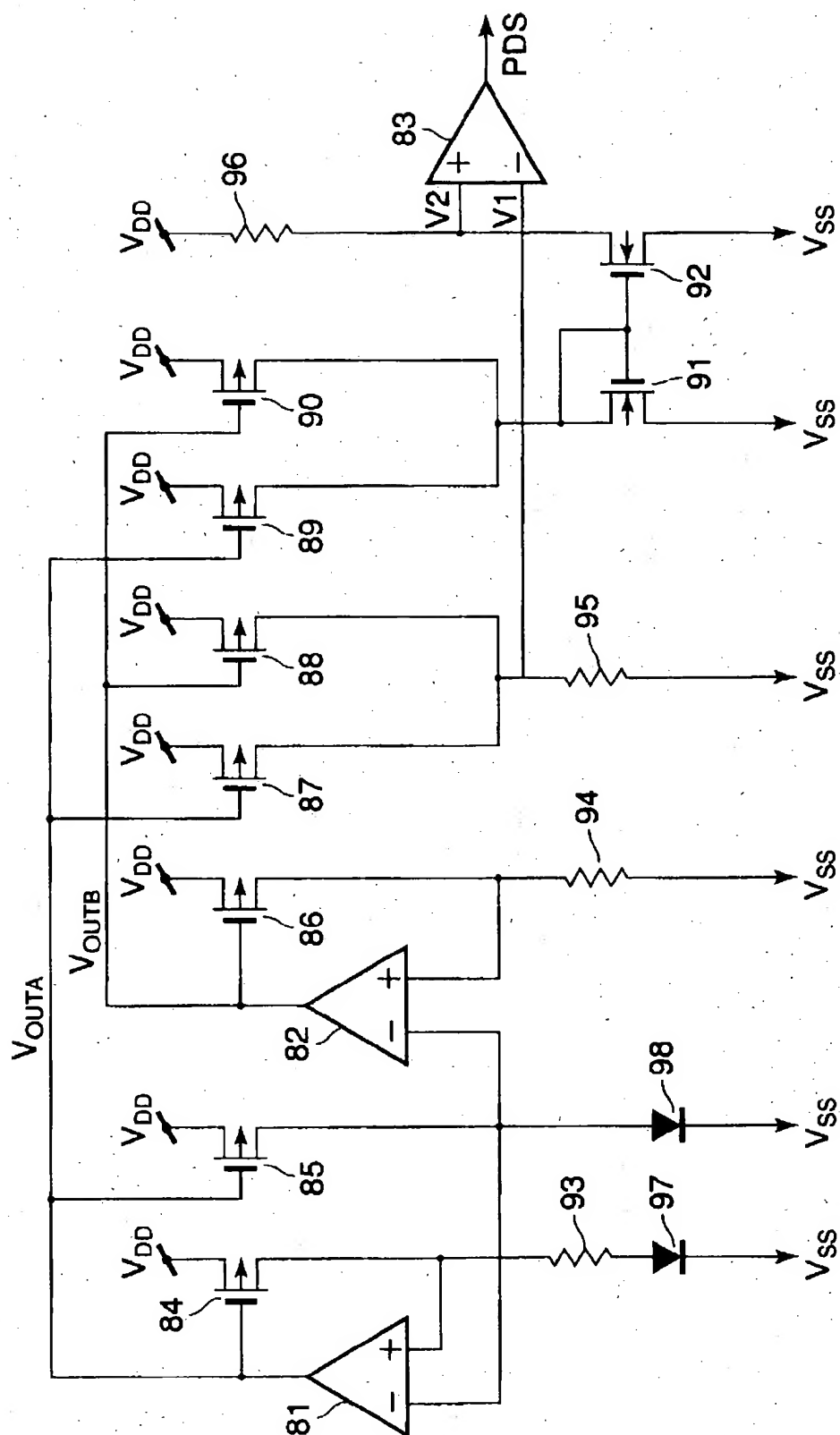
【図 7】



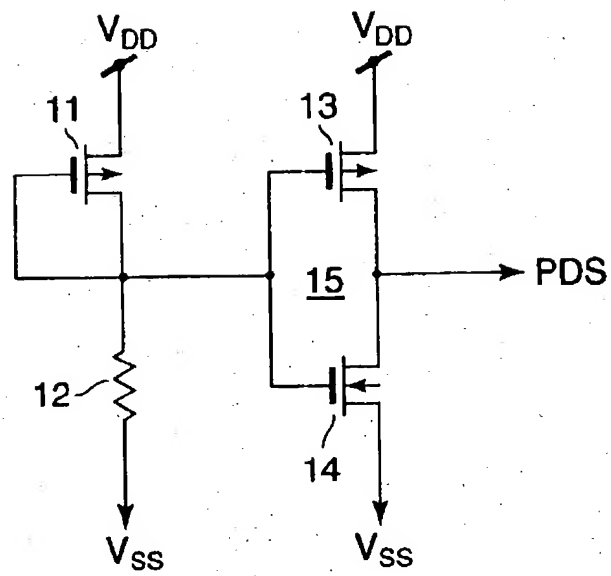
【図8】



【図 9】



【図10】



【書類名】 要約書

【要約】

【課題】 温度変化や製造ばらつきによるパワーオンの検知レベルの変動を抑制でき、且つ低電圧であっても確実な検知動作を行うことができるパワーオンディテクタを提供することを目的としている。

【解決手段】 パワーオンディテクタは、温度依存性の低い基準電位を生成する基準電位発生回路 20 と、この基準電位発生回路から出力される基準電位 V_{REF_DC} と第 1 の電位供給源 V_{SS} の電位とに基づいて生成した第 1 の電圧 V_1 と、上記第 1 の電位供給源の電位と異なる第 2 の電位供給源 V_{DD} の電位と上記基準電位とに基づいて生成した第 2 の電圧 V_2 とを比較する比較器 27 とを備えている。そして、電源投入時の上記第 1 の電位供給源の電位と上記第 2 の電位供給源の電位との電位差が、上記第 1 の電圧と上記第 2 の電圧との和よりも大きくなったときに、パワーオンを検知する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

| | |
|----------|----------------|
| 1. 変更年月日 | 2001年 7月 2日 |
| [変更理由] | 住所変更 |
| 住 所 | 東京都港区芝浦一丁目1番1号 |
| 氏 名 | 株式会社東芝 |